

ANALOGDIGITAL CONVERTING DEVICE**Publication number:** JP55008104 (A)**Publication date:** 1980-01-21**Inventor(s):** AIHARA HIROSHI**Applicant(s):** TAKEDA RIKEN IND CO LTD**Classification:****- international:** H03M1/52; H03M1/50; (IPC1-7): H03K13/20**- European:****Application number:** JP19780079833 19780703**Priority number(s):** JP19780079833 19780703**Also published as:**

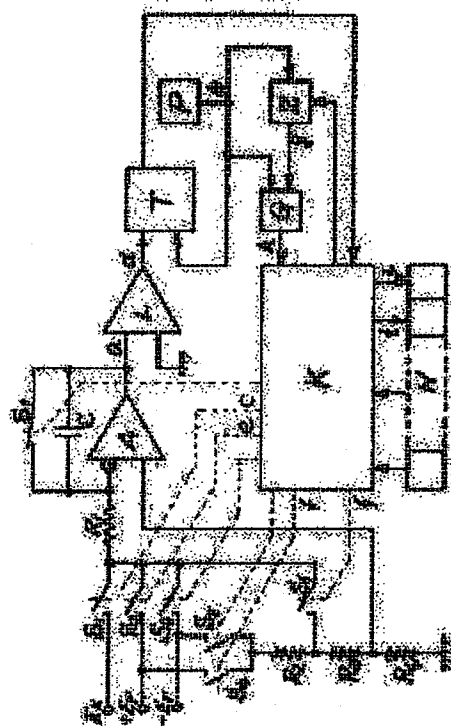
JP58001568 (B)

JP1169144 (C)

Abstract of JP 55008104 (A)

PURPOSE: To realize a high-accuracy and high-speed conversion through a simple circuit constitution for the triple integrating converter by finishing the 2nd integrating period in synchronization with the clock pulse and at the same time varying the output level of the integrator.

CONSTITUTION: Input voltage E_x is integrated through the integrator comprising differential amplifier circuit A, capacitor C and resistance R1 in the 1st integrating period T1 and by the command of controller K. And 1st reference voltage $+E_r$ featuring the opposite polarity to E_x is integrated in the 2nd integrating period T2. Then the integration is finished in synchronization with clock pulse b after the output level of the integrator passed through the reference level. In the 3rd integrating period T3, voltage $+E_r$ is divided, and then the voltage of, for example, $1/10$ is applied to circuit a from resistance R4 in the form of the 2nd reference voltage to carry out the integration until the output level reaches the reference level. The clock pulses are counted at the lower 2nd digit of counter N in the lapse of the period set according to voltage E_0 at the start of period T2 and also at the lowest digit in period T3 each, thus obtaining the digital quantity corresponding to input E_x .



Data supplied from the esp@cenet database — Worldwide

⑫ 公開特許公報 (A)

昭55—8104

⑤ Int. Cl.³
H 03 K 13/20識別記号
1 0 1庁内整理番号
7125—5 J

④ 公開 昭和55年(1980)1月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ アナログ・デジタル変換装置

号タケダ理研工業株式会社内

① 特 願 昭53—79833

⑦ 出 願 人 タケダ理研工業株式会社

② 出 願 昭53(1978)7月3日

東京都練馬区旭町1丁目32番1

③ 発 明 者 相原弘志

号

⑧ 代 理 人 弁理士 益田龍也

東京都練馬区旭町1丁目32番1

明 細 書

1. 発明の名称

アナログ・デジタル変換装置

2. 特許請求の範囲

予め定められた時間幅を有する第1積分期間において入力電圧を積分器で基準レベルから積分する手段と、上記第1積分期間に続く第2積分期間において上記入力電圧と逆の極性を有する第1基準電圧を上記積分器で積分してその出力レベルが前記基準レベルを超過したのちクロックパルスと同期して上記積分を終了する手段と、上記第2積分期間の開始後予め定められた一定数のクロックパルスが送出されてから該第2積分期間が終了するまで上記クロックパルスを計数器における上位の桁に印加してこれを計数する手段と、上記第2積分期間が終了したとき前記積分器を構成する差動増幅回路の非反転入力端に前記一定数のクロックパルスに対応した電圧を印加して積分器の出力レベルを前記第2積分期間において基準レベルを超過する前の状態に復帰する手段と、上記第2積

分期間に続く第3積分期間において前記第1基準電圧と同一の極性を有しかつ該第1基準電圧との比が前記計数器における進数の整数乗分の1に相当する第2基準電圧を前記積分器に加えてその出力レベルが前記基準レベルに達するまで積分する手段と、上記第3積分期間中前記クロックパルスを前記計数器の下位の桁に印加する手段とよりなることを特徴とするアナログ・デジタル変換装置

3. 発明の詳細な説明

三重積分型のアナログ・デジタル変換装置は二重積分型に比較して、変換速度を損うことなく、高精度を得ることができる。しかし従来は可逆計数器を必要としたから装置を安価に製作し得ない欠点があつた。また第3積分期間においてレベル比較器の基準レベルを変換することにより、上述の可逆計数器を必要としないようにすることができる。しかしレベル比較器に加える基準電圧源を必要とし、構成が複雑になる欠点がある。本発明はこのような欠点がなく、簡単な構成をもつて安価に製作し得る三重積分型のアナログ・デジタル

交換装置を提供するものである。

第1図は本発明実施例の構成を示したもので、端子 E_x に変換しようとする入力電圧が加えられて、端子 $+E_r, -E_r$ にそれぞれ正および負の第1基準電圧が加えられる。これらの電圧はスイッチ S_1 または S_2, S_3 を介して抵抗 R_1 に加えられ、該抵抗を介して差動増幅器回路Aの反転入力端に加えられる。また端子 $+E_r, -E_r$ の電圧はスイッチ S_4 または S_5 を介して抵抗 R_2, R_3, R_4 の直列回路に加えられるが、スイッチ S_5 を介して上記抵抗 R_2 と R_3 の接続部を抵抗 R_1 の入力端に接続し、かつ抵抗 R_3 と R_4 の接続部を差動増幅器回路Aの非反転入力端に接続してある。増幅器回路Aは前記入力抵抗 R_1 および帰還コンデンサ C と共に積分器を構成するもので、コンデンサ C と並列にリセット用のスイッチ S_7 を接続してある。この積分器の出力をレベル比較器Lに加え、更にその出力をクロックパルス発生器Pの出力パルスと共に同期回路Tに加えてある。同期回路Tは、レベル比較器Lの出力信号を加えられたのち最初のクロックパルスと同期して制御器Kに信号を加

える。更にクロックパルス発生器Pの出力パルスは、ゲート制御回路ZおよびゲートGに加えられて、ゲートGの出力パルスが制御器Kに加えられると共に該制御器からゲート制御回路Zに信号が加えられる。かつ制御器Kには加算計数器Nを接続してある。

上述の装置において、まず第1積分期間 T_1 の開始に際しては、制御器Kの信号によつてリセットスイッチ S_7 が開放し、 S_1 が閉成する。従つて増幅器回路Aと入力抵抗 R_1 および帰還コンデンサ C よりなる積分器で端子 E_x の入力電圧が積分されて、その出力電圧が第2図aのように例えば正方向へ直線的に増大する。またクロックパルス発生器Pの出力パルスbがゲートGを介して制御器Kに加つてゐるから、該制御器はこのクロックパルスの計数により一定時間 T_1 を経過したとき、第2図cのようにスイッチ S_1 を開くと共に、のように前記入力電圧と逆の極性を有する第1基準電圧端子 $+E_r$ に接続されたスイッチ S_2 を閉成して、第2積分期間 T_2 に入る。

第2積分期間 T_2 においては、第1基準電圧 E_r が積分されて、積分器の出力電圧aは上記基準電圧によつて定まる傾斜角で直線的に低下する。かつこの第2積分期間 T_2 の開始と同時に制御器Kからゲート制御回路Zに信号が加えられて、該回路Zが第2図gのように一定時間幅の制御信号をゲートGに加えるから、制御器Kに加わるクロックパルスbが上記信号によつて一定時間の間だけ遮断される。更に第1積分期間 T_1 の終了と同時に計数器Nがリセットされて、第2積分期間に入つたとき該計数器の下から2桁目にクロックパルスが加わる。従つて計数器Nは第2積分期間 T_2 の開始後一定数のクロックパルスが送出された時点から第2図1の該クロックパルスの計数を開始する。このようにして第2積分期間が進行し、積分器の出力レベルが前記基準レベルを通過すると、レベル比較器Lの出力信号dが消滅し、同期回路Tは次のクロックパルスと同期して制御器Kに第2積分期間の終了信号を加える。

第2積分期間の終了と同時に制御器Kは、スイ

ッチ S_2 を開いて第2図fのようにスイッチ S_4 および S_5 を閉じる。このため基準電圧 $+E_r$ が抵抗 R_2, R_3, R_4 で分圧されて、抵抗 R_4 の電圧が積分器を構成する差動増幅器回路Aの非反転入力端に加わる。従つて上記積分器の出力電圧レベルが第2図aに示したように再び基準レベルをよぎつて上記電圧だけ上昇する。

かつ抵抗 R_3 の両端間に現れる第2基準電圧が、スイッチ S_5 を介して積分されるから、この第3積分期間 T_3 においては積分器の出力が第2積分期間より小さい一定の傾斜角をもつて直線的に低下する。また第3積分期間においては、制御器Kから計数器Nの最下位の桁にクロックパルスjが加えられる。このようにして第3積分期間 T_3 が進行し、積分器の出力レベルが基準レベルを通過すると、レベル比較器の出力dが消滅するから、同期回路Tは次のクロックパルスと同期して制御器Kに信号を加える。制御器Kはこの信号によつて、計数器Nに加えるクロックパルスを遮断すると共にスイッチ S_4, S_5 を開放し、 S_7 を閉成して、一回の変

上述の動作において、第 1 積分期間に積分器のコンデンサに充電される電荷 Q_1 は $(E_x/R_1) T_1$ であるから、該積分器の出力電圧 V_1 は

で与えられる。また第2積分期間における積分器の出力電圧の変化 V_2 は同様にして

である。かつ計数値 N の進数を M 任意の整数を n とするとき、前記第 2 基準電圧を \mathbb{R}/M^n に選定する。すなわち M を 10, n を 1 とするとこの第 2 基準電圧が $\mathbb{R}/10$ となるように抵抗 R_2, R_3, R_4 を選定するもので、第 3 積分期間においては第 3 図の回路が構成されるから、この期間における積分器の出力電圧の変化 V_3 は

である。更に第2積分期間の終了時における積分器の出力レベルの変化、すなわち抵抗 R_0 の電圧を E_0 とすると、

第1図は本発明実施例の構成を示した図、第2図は第1図における同一符号の部分の信号波形を示したタイムチャート第3図は第3積分期間における第1図の装置の一部の回路図である。なお図において、 E_x は被変換電圧の入力端子、 $+E_r$ 、 $-E_r$ は第1基準電圧端子、 A は差動増幅回路、 L はレベル比較器、 T は同期回路、 P はクロックパルス発生器、 G はゲート、 Z はゲート制御回路、 K は制御器、 N は計数器である。

代理人 弁理士 益田 龍也

であるから、上記 (1) ~ (4) 式によつて

が得られる。従つてゲート制御信号 G の時間幅、すなわち第 2 積分期間 T_2 の初期において計数器 N に加わるクロックパルスが遮断される数を上記レベル変化 E_0 に応じて適当に設定すると共に前述のように第 2 積分時間はクロックパルスを計数器の下から 2 桁目に加え、第 3 積分期間は最下位の桁に加えることにより入力電圧 E_x に相当するデジタル量が得られる。

上述のように本発明の装置は、可逆計数器を用いることなく三重積分による高精度、高速度のアナログ、デジタル変換を行い得ると共に第2積分期間の終了をクロックパルスに同期させるからレベル比較器に高速性を必要としないもので、この装置を安価に製作することができる。かつ第2積分期間の終了時に積分器を構成する増幅回路の非反転入力端に一定電圧を加えて、該積分器の出力レベルを変化するから、回路構成も簡単である。

